

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11330046 A**(43) Date of publication of application: **30.11.99**

(51) Int. Cl.

H01L 21/3065
C09K 13/08
H01L 21/28
H01L 21/768

(21) Application number: **10125481**(22) Date of filing: **08.05.98**(71) Applicant: **mitsubishi electric corp**

(72) Inventor: **matsumoto junko**
sakamori shigenori
teratani akiyoshi
kusumi yoshihiro
fukao tetsuhiro
omi kazuyuki
tawara kenji
yamanaka nobuaki

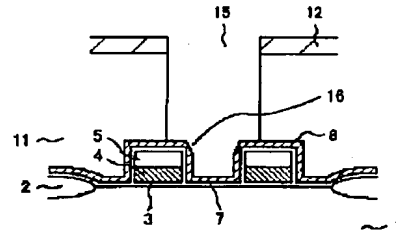
(54) **METHOD FOR MANUFACTURING**
SEMICONDUCTOR DEVICE AND
SEMICONDUCTOR DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To form a contact hole by a self-alignment method without causing damages to an etching stopper film and degrading electrical characteristics thereof.

SOLUTION: An interlayer oxide film 11 is etched from the aperture 15 of a resist mask by a plasma etching method, using processing gas made of rare gas mixed with CF base gas to form a tapered portion 16 at the shoulder of a silicon nitride film. Also, a silicon oxide film and a silicon nitride film are etched in sequence from the aperture of the resist mask by the plasma etching method, using processing gas made of a mixed gas of rare gas, C₄F₈ gas and CH₂F₂ gas.

COPYRIGHT: (C)1999,JPO



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-330046

(43)公開日 平成11年(1999)11月30日

(51)Int.Cl.⁸

識別記号

F I

H 0 1 L 21/3065

H 0 1 L 21/302

M

C 0 9 K 13/08

C 0 9 K 13/08

H 0 1 L 21/28

H 0 1 L 21/28

L

21/768

21/302

F

21/90

C

審査請求 未請求 請求項の数16 O L (全 17 頁)

(21)出願番号

特願平10-125481

(22)出願日

平成10年(1998)5月8日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 松本 順子

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72)発明者 坂森 重則

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72)発明者 寺谷 昭美

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74)代理人 弁理士 高田 守 (外1名)

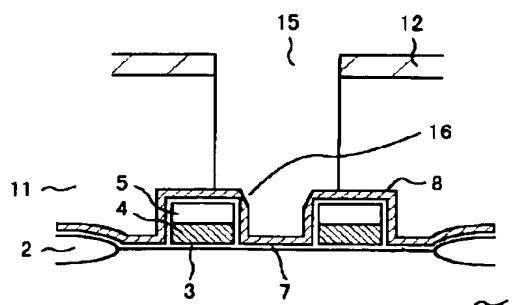
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法及び半導体装置

(57)【要約】

【課題】 セルフアライメント法により、エッチングストッパー膜を損傷せず、電気特性を劣化させることないコンタクトホールを形成する。

【解決手段】 希ガスにCF系ガスを混合した処理ガスを用いたプラズマエッチングにより、レジストマスクの開口から層間酸化膜をエッチングし、シリコン窒化膜の肩部にテーパー部を形成する。また、希ガスとC₄F₈ガスとの混合ガスにCH₂F₂ガスを添加したプラズマエッチングにより、レジストマスクの開口からシリコン酸化膜とシリコン窒化膜とを連続してエッチングする。



【特許請求の範囲】

【請求項1】 半導体基板上に形成されたシリコン窒化膜の段差部と、この段差部の上に形成されたシリコン酸化膜とを備えたものにおいて、上記シリコン酸化膜の上に上記段差部に向かう開口を有するレジスト層を形成し、希ガスにCF系ガスを混合した処理ガスを用いたプラズマエッチングにより、上記レジストマスクの開口から上記シリコン酸化膜をエッチングし、上記シリコン窒化膜の肩部にテーパ部を形成するようにしたことを特徴とする半導体装置の製造方法。

【請求項2】 上記希ガスに混合する上記CF系ガスの混合比を調整して、上記シリコン窒化膜の肩部に形成するテーパ部の位置を調整するようにしたことを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 半導体基板上に形成されたシリコン窒化膜と、このシリコン窒化膜の上に形成され上記シリコン窒化膜に達する開口を有するシリコン酸化膜を備えたものにおいて、 Cl_2 とHBrとの混合ガスを用いたプラズマにより、上記シリコン酸化膜の開口から上記シリコン窒化膜を異方性エッチングすることを特徴とする半導体装置の製造方法。

【請求項4】 半導体基板上に形成されたシリコン窒化膜の段差部と、この段差部の上に形成されたシリコン酸化膜とを備えたものにおいて、上記シリコン酸化膜の上に上記段差部に向かう開口を有するレジスト層を形成し、希ガスと C_4F_8 ガスとの混合ガスに CH_2F_2 ガスを添加してプラズマエッチングにより、上記レジストマスクの開口から上記シリコン酸化膜と上記シリコン窒化膜とをエッチングするようにしたことを特徴とする半導体装置の製造方法。

【請求項5】 上記シリコン窒化膜の段差部の高さに応じて、上記希ガスに混合する CH_2F_2 ガスの混合率を調整するようにしたことを特徴とする請求項4に記載の半導体装置の製造方法。

【請求項6】 半導体基板上に形成されたシリコン導電性膜と、このシリコン導電性膜の上に形成された第1のシリコン酸化膜と、この第1のシリコン酸化膜の上に形成されたシリコン窒化膜と、このシリコン窒化膜の上に形成された第2のシリコン酸化膜とを備えたものにおいて、上記第1のシリコン酸化膜の上に上記シリコン導電性膜に向かう開口を有するレジスト層を形成し、希ガスと C_4F_8 ガスとの混合ガスに CH_2F_2 ガスを添加してプラズマエッチングにより、上記レジストマスクの開口から上記第1のシリコン酸化膜と上記シリコン窒化膜と上記第2のシリコン酸化膜をエッチングし、上記シリコン導電性膜に達する開口を形成するようにしたことを特徴とする半導体装置の製造方法。

【請求項7】 半導体基板の下地層の上に形成され段差部を有する複数の線状のシリコン導電膜と、この線状の

シリコン導電膜の上に積層された第1のシリコン酸化膜と、上記下地層と上記シリコン導電膜と上記第1のシリコン酸化膜とを覆うように形成され上記下地層から上記シリコン導電膜と上記第1のシリコン酸化膜に沿って段差部を有するシリコン窒化膜と、このシリコン窒化膜の上に形成された第2のシリコン酸化膜とを備えたものにおいて、

上記シリコン酸化膜の上に上記シリコン窒化膜の段差部に向かう第1の開口と上記シリコン導電性膜に向かう第2の開口とを有するレジスト層を形成し、希ガスと C_4F_8 ガスとの混合ガスに CH_2F_2 ガスを添加してプラズマエッチングにより、上記レジストマスクの上記第1の開口から上記第2のシリコン酸化膜と上記シリコン窒化膜とをエッチングして上記下地層に達する開口を形成するとともに、上記レジストマスクの上記第2の開口から上記第2のシリコン酸化膜と上記シリコン窒化膜と上記第1のシリコン酸化膜とを開口して上記シリコン導電性膜に達する開口を形成するようにしたことを特徴とする半導体装置の製造方法。

【請求項8】 半導体基板の下地層に形成された溝部に沿って底部と上面部との間に段差部を有するように形成されたシリコン窒化膜と、このシリコン窒化膜の上に形成されたシリコン酸化膜とを備えたものに対し、上記シリコン酸化膜の上に上記シリコン窒化膜の段差部に向かう開口を有するレジスト層を形成し、上記開口から上記シリコン酸化膜をエッチングするものにおいて、上記開口が上記溝部の幅の少なくとも0.1倍の長さで上記シリコン窒化膜の上記上面部に懸かるようにしたことを特徴とする半導体装置の製造方法。

【請求項9】 半導体基板の下地層に形成された凹部に沿って凹部を有するように上記下地層の上に形成されたエッチングストッパー膜と、このエッチングストッパー膜の上に形成されたシリコン酸化膜とを備えたものに対し、上記シリコン酸化膜の上に上記エッチングストッパー膜の上記凹部に向かう開口を有するレジスト層を形成し、上記開口から上記シリコン酸化膜をエッチングするものにおいて、

上記エッチングストッパー膜の上記凹部の内幅が0.2 μm 以下で、かつ、上記凹部の段差が上記内幅より2.5倍以上に形成されていることを特徴とする半導体装置の製造方法。

【請求項10】 半導体基板上に段差部を有する SiO_xNy 膜を形成して熱処理し、この SiO_xNy 膜の上にシリコン酸化膜を形成し、このシリコン酸化膜の上に上記 SiO_xNy 膜の段差部に向かう開口を有するレジスト層を形成し、上記レジストマスクの開口から上記シリコン酸化膜をエッチングして上記 SiO_xNy 膜に達する開口を形成するようにしたことを特徴とする半導体装置の製造方法。

【請求項11】 半導体基板の下地層の上に形成され

たシリコン酸化膜を備えたものにおいて、上記シリコン酸化膜の上に所定位置に開口を有するレジスト層を形成し、希ガスに C_3F_6 ガス又は $CF_3-O-CF_2CF_3$ ガスを混合したガスを用いてプラズマエッチングにより、上記レジストマスクの開口から上記シリコン酸化膜をエッチングするようにしたことを特徴とする半導体装置の製造方法。

【請求項 1 2】 半導体基板の上に形成されたシリコン酸化膜と、このシリコン酸化膜の上に形成された有機反射防止膜と、この有機反射防止膜の上に形成され所定位置に開口を有するレジスト層とを備えたものに対し、上記開口から上記有機反射防止膜を、150nm/minより小さいエッチング速度でエッチングするようにしたことを特徴とする半導体装置の製造方法。

【請求項 1 3】 半導体基板の上に形成されたシリコン酸化膜と、このシリコン酸化膜の上に形成された有機反射防止膜と、この有機反射防止膜の上に形成され所定位置に開口を有するレジスト層とを備えたものに対し、上記開口から上記有機反射防止膜を、上記レジスト層に対する上記有機反射防止膜のエッチング速度選択比が 1 より小さい条件で、エッチングするようにしたことを特徴とする半導体装置の製造方法。

【請求項 1 4】 酸素を含むガスに、 CF_3 ガス又は C_4F_8 ガスを添加して、プラズマにより、上記有機反射防止膜をエッチングすることを特徴とする請求項 1 2 又は 1 3 に記載の半導体装置の製造方法。

【請求項 1 5】 半導体基板の上に形成されたシリコン酸化膜と、このシリコン酸化膜の上に形成された有機反射防止膜と、この有機反射防止膜の上に形成され所定位置に開口を有するレジスト層とを備えたものに対し、処理槽内で上記開口から上記有機反射防止膜をプラズマエッチングし、次に上記シリコン酸化膜をプラズマエッチングする工程を含む半導体基板の処理工程において、一の半導体基板に対する処理の終了後に、上記処理槽をクリーニング放電することにより、上記処理槽に付着した有機堆積物の除去を行うようにしたことを特徴とする半導体装置の製造方法。

【請求項 1 6】 請求項 1 ～ 1 5 のいずれかに記載の製造方法によって製造されたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】 この発明は、IC、LSI等の半導体装置とその製造方法に関するものである。特に、自己整合的にコンタクトホールを形成する半導体装置とその製造方法に関するものである。

【0002】

【従来の技術】 近年のULSIのような半導体装置の高集積化、高性能化が進展するのに伴い、図34のような自己整合コンタクトホール(SAC)が採用されている。こ

の自己整合コンタクトホールを形成するためには、まずシリコン半導体基板1の上に素子分離領域2を形成する。その後、所定のパターンのゲート酸化膜3、ゲート電極4、保護酸化膜5を形成する。そして、このゲート電極構造全体を絶縁する為に薄膜酸化膜7を堆積し、その上にシリコン窒化膜によるエッチングストッパー膜8を堆積する。さらに層間酸化膜11を堆積し、レジストでパターン12を形成後、エッチングによりコンタクトホール15を形成する。

【0003】 このとき層間酸化膜11のエッチングをシリコン窒化膜8上で停止させる必要がある。もし停止しなかったら、図35のようにゲート電極4が露出してしまい、上層の配線とのショートを引き起こすという問題があった。したがって、層間酸化膜11とシリコン窒化膜8とのエッチング選択比を十分に確保しなければならない。

【0004】 また、このような従来の方法では、エッチングストッパー膜8に対して選択比の高い条件でホールの開口を行い、次工程でホール底のエッチングストッパー膜を除去するとき、ホールの形成が2段階の工程となるため、コスト、歩留まりを低下させる原因ともなる。

【0005】 また、図36に示すように、開口したコンタクトホールに配線材料21を埋め込むとき、配線間隔が微細化され、エッチングするホールアスペクト比が高くなってくると、ホール底のこの段差部にボイド(巣)22が出来るという問題が生じていた。

【0006】 また、セルフアライメント法によりコンタクトホールを形成するためには、層間酸化膜の除去をするとともにエッチングストッパー膜である窒化膜の平坦部分のみ窒化膜を除去し、他方、ホール底部のエッチングストッパー膜の傾斜部もしくは電極に近いエッチングストッパー膜を、ゲート電極を保護するために完全に除去しないことが望ましい。よって、傾斜部におけるエッチング速度は、その材料の違いに対応して層間酸化膜のエッチング速度よりも小さくなる方がよく、窒化膜と層間酸化膜との選択比は高い方がよい。

【0007】 ホールのエッチングには、例えば特開平 7-161702 号公報などで用いられている C_4F_8 ガスと CH_2F_2 ガスを混合させたものが用いられる。このようなドライエッチングでは、傾斜部分においてはイオンのスパッタリングによりエッチングストッパー膜が平坦部よりもエッチングされやすいために、エッチングストッパー膜が薄い場合や傾斜部分での選択比が十分でない場合において、レジストパターンとゲート電極の位置関係によっては層間酸化膜がエッチングされるときに傾斜部分のエッチングストッパー膜も除去されてしまい、ゲート電極を取り囲む絶縁膜が薄くなることがある。この状態でコンタクトホールを形成したときに、ゲート電極が次に形成される配線との耐圧不良により短絡して、正常に動作しなくなる。

【0008】このような不具合を防止するために、図34に示すエッチングストッパー膜8を厚くするとともに、保護酸化膜5のほか、酸化膜サイドウォール（図示せず）などの膜厚を厚くすることが考えられる。しかし、この場合、ゲート電極の4と次に形成される配線との短絡を防止できるものの、他方、表面の段差が著しく大きくなるので、後工程へのプロセス上の問題が生じる。

【0009】また、図37及び図38は、従来の半導体メモリの製造工程における、ビットラインコンタクト(B 10 C)開孔工程の例を示す。図38は平面図、図37は図38の破線部分に沿った断面図を示している。図37、図38において、1は半導体基板(Si)、4はゲート電極を含むゲート配線、8はBC開孔をセルフアラインに行うための酸化膜、11は層間酸化膜である。

【0010】従来技術では、層間酸化膜11を成膜した後、レジスト12のパターンニングを行い、コンタクトホール（ビットラインコンタクト）15の開孔を行う。この際に通常ではコンタクトホール15は正方形か、もしくは正方形に近い形状で設計される。この様な 20 基準で設計されたコンタクトホール15は、エッチングが酸化膜8に到達した時には、エッチングされる部分が酸化膜8の肩部に当たりやすい。

【0011】一般に酸化膜8の肩部にはデポジション成分が付着しにくく、エッチング中に酸化膜8の肩部が削れやすくなるために、図39に示すように、配線間のショートを引き起こす可能性が大きい。

【0012】また、層間酸化膜11とシリコン窒化膜8とは似通った膜質であり、同じエッチングガスでエッチングされる為、互いの中で十分な選択比を確保することは 30 難しい。よって、より選択比の十分確保できるストッパー膜を採用することが課題となる。

【0013】

【発明が解決しようとする課題】この発明は上記のようないくつかの課題を解消するためになされたもので、セルフアライメント法によりコンタクトホールの形成する場合でも、電気特性を劣化させることのない構造で、電極を保護する部分のエッチングが進行することを阻止し、半導体素子の歩留まりおよび信頼性を向上できる半導体装置及びその製造方法を提供することを目的とする 40 ものである。

【0014】

【課題を解決するための手段】この発明の請求項1による半導体装置の製造方法は、半導体基板上に形成されたシリコン窒化膜の段差部と、この段差部の上に形成されたシリコン酸化膜とを備えたものにおいて、上記シリコン酸化膜の上に上記段差部に向かう開口を有するレジスト層を形成し、希ガスにCF系ガスを混合した処理ガスを 50 用いたプラズマエッチングにより、上記レジストマスクの開口から上記シリコン酸化膜をエッチングし、上記シ

リコン窒化膜の肩部にテーパー部を形成するようにしたことを特徴とするものである。

【0015】また、この発明の請求項2による半導体装置の製造方法は、上記希ガスに混合する上記CF系ガスの混合比を調整して、上記シリコン窒化膜の肩部に形成するテーパー部の位置を調整するようにしたことを特徴とするものである。

【0016】また、この発明の請求項3による半導体装置の製造方法は、半導体基板上に形成されたシリコン窒化膜と、このシリコン窒化膜の上に形成された上記シリコン窒化膜に達する開口を有するシリコン酸化膜を備えたものにおいて、 Cl_2 とHBrとの混合ガスをを用いたプラズマにより、上記シリコン酸化膜の開口から上記シリコン窒化膜を異方性エッチングすることを特徴とするものである。

【0017】また、この発明の請求項4による半導体装置の製造方法は、半導体基板上に形成されたシリコン窒化膜の段差部と、この段差部の上に形成されたシリコン酸化膜とを備えたものにおいて、上記シリコン酸化膜の上に上記段差部に向かう開口を有するレジスト層を形成し、希ガスと C_4F_8 ガスとの混合ガスに CH_2F_2 ガスを添加してプラズマエッチングにより、上記レジストマスクの開口から上記シリコン酸化膜と上記シリコン窒化膜とをエッチングするようにしたことを特徴とするものである。

【0018】また、この発明の請求項5による半導体装置の製造方法は、上記シリコン窒化膜の段差部の高さに応じて、上記希ガスに混合する CH_2F_2 ガスの混合率を調整するようにしたことを特徴とするものである。

【0019】また、この発明の請求項6による半導体装置の製造方法は、半導体基板上に形成されたシリコン導電性膜と、このシリコン導電性膜の上に形成された第1のシリコン酸化膜と、この第1のシリコン酸化膜の上に形成されたシリコン窒化膜と、このシリコン窒化膜の上に形成された第2のシリコン酸化膜とを備えたものにおいて、上記第1のシリコン酸化膜の上に上記シリコン導電性膜に向かう開口を有するレジスト層を形成し、希ガスと C_4F_8 ガスとの混合ガスに CH_2F_2 ガスを添加してプラズマエッチングにより、上記レジストマスクの開口から 40 上記第1のシリコン酸化膜と上記シリコン窒化膜と上記第2のシリコン酸化膜をエッチングし、上記シリコン導電性膜に達する開口を形成するようにしたことを特徴とするものである。

【0020】また、この発明の請求項7による半導体装置の製造方法は、半導体基板の下地層の上に形成された段差部を有する複数の線状のシリコン導電膜と、この線状のシリコン導電膜の上に積層された第1のシリコン酸化膜と、上記下地層と上記シリコン導電膜と上記第1のシリコン酸化膜とを覆うように形成された上記下地層から 50 上記シリコン導電膜と上記第1のシリコン酸化膜に沿って

段差部を有するシリコン窒化膜と、このシリコン窒化膜の上に形成された第2のシリコン酸化膜とを備えたものにおいて、上記シリコン酸化膜の上に上記シリコン窒化膜の段差部に向かう第1の開口と上記シリコン導電性膜に向かう第2の開口とを有するレジスト層を形成し、希ガスと C_4F_8 ガスとの混合ガスに CH_2F_2 ガスを添加してプラズマエッチングにより、上記レジストマスクの上記第1の開口から上記第2のシリコン酸化膜と上記シリコン窒化膜とをエッチングして上記下地層に達する開口を形成するとともに、上記レジストマスクの上記第2の開口から上記第2のシリコン酸化膜と上記シリコン窒化膜と上記第1のシリコン酸化膜とを開口して上記シリコン導電性膜に達する開口を形成するようにしたことを特徴とするものである。

【0021】また、この発明の請求項8による半導体装置の製造方法は、半導体基板の下地層に形成された溝部に沿って底部と上面部との間に段差部を有するように形成されたシリコン窒化膜と、このシリコン窒化膜の上に形成されたシリコン酸化膜とを備えたものに対し、上記シリコン酸化膜の上に上記シリコン窒化膜の段差部に向かう開口を有するレジスト層を形成し、上記開口から上記シリコン酸化膜をエッチングするものにおいて、上記開口が上記溝部の幅の少なくとも0.1倍の長さで上記シリコン窒化膜の上記上面部に懸かるようにしたことを特徴とするものである。

【0022】また、この発明の請求項9による半導体装置の製造方法は、半導体基板の下地層に形成された凹部に沿って凹部を有するように上記下地層の上に形成されたエッチングストッパー膜と、このエッチングストッパー膜の上に形成されたシリコン酸化膜とを備えたものに対し、上記シリコン酸化膜の上に上記エッチングストッパー膜の上記凹部に向かう開口を有するレジスト層を形成し、上記開口から上記シリコン酸化膜をエッチングするものにおいて、上記エッチングストッパー膜の上記凹部の内幅が0.2 μm 以下で、かつ、上記凹部の段差が上記内幅より2.5倍以上に形成されていることを特徴とするものである。

【0023】また、この発明の請求項10による半導体装置の製造方法は、半導体基板上に段差部を有する SiO_xNy 膜を形成して熱処理し、この SiO_xNy 膜の上にシリコン酸化膜を形成し、このシリコン酸化膜の上に上記 SiO_xNy 膜の段差部に向かう開口を有するレジスト層を形成し、上記レジストマスクの開口から上記シリコン酸化膜をエッチングして上記 SiO_xNy 膜に達する開口を形成するようにしたことを特徴とするものである。

【0024】また、この発明の請求項11による半導体装置の製造方法は、半導体基板上の下地層の上に形成されたシリコン酸化膜を備えたものにおいて、上記シリコン酸化膜の上に所定位置に開口を有するレジスト層を形成し、希ガスに C_3F_6 ガス又は $CF_3-O-CF_2HCF_3$ ガスを混合し

たガスを用いてプラズマエッチングにより、上記レジストマスクの開口から上記シリコン酸化膜をエッチングするようにしたことを特徴とするものである。

【0025】また、この発明の請求項12による半導体装置の製造方法は、半導体基板の上に形成されたシリコン酸化膜と、このシリコン酸化膜の上に形成された有機反射防止膜と、この有機反射防止膜の上に形成され所定位置に開口を有するレジスト層とを備えたものに対し、上記開口から上記有機反射防止膜を、150nm/minより小さいエッチング速度でエッチングするようにしたことを特徴とするものである。

【0026】また、この発明の請求項13による半導体装置の製造方法は、半導体基板の上に形成されたシリコン酸化膜と、このシリコン酸化膜の上に形成された有機反射防止膜と、この有機反射防止膜の上に形成され所定位置に開口を有するレジスト層とを備えたものに対し、上記開口から上記有機反射防止膜を、上記レジスト層に対する上記有機反射防止膜のエッチング速度選択比が1より小さい条件で、エッチングするようにしたことを特徴とするものである。

【0027】また、この発明の請求項14による半導体装置の製造方法は、酸素を含むガスに、 CF_3 ガス又は C_4F_8 ガスを添加して、プラズマにより、上記有機反射防止膜をエッチングすることを特徴とするものである。

【0028】また、この発明の請求項15による半導体装置の製造方法は、半導体基板の上に形成されたシリコン酸化膜と、このシリコン酸化膜の上に形成された有機反射防止膜と、この有機反射防止膜の上に形成され所定位置に開口を有するレジスト層とを備えたものに対し、処理槽内で上記開口から上記有機反射防止膜をプラズマエッチングし、次に上記シリコン酸化膜をプラズマエッチングする工程を含む半導体基板の処理工程において、一の半導体基板に対する処理の終了後に、上記処理槽をクリーニング放電することにより、上記処理槽に付着した有機堆積物の除去を行うようにしたことを特徴とするものである。

【0029】また、この発明の請求項16による半導体装置は、上記のいずれかの製造方法によって製造されたことを特徴とするものである。

【0030】

【発明の実施の形態】以下、図面を参照してこの発明の実施の形態について説明する。なお、図中、同一又は相当部分には同一符号を付してその説明を簡略化または省略する。

実施の形態1. 図1～図9は、この発明の実施の形態1による半導体装置の構造及び製造方法を説明するための図である。図1は、DRAMなどに代表される半導体装置の製造工程における断面構造を示す図、図2～図9は、この半導体装置の製造工程を示す断面図である。

【0031】図1において、1は半導体基板、2は半導

体基板1上に形成された素子分離領域、3はシリコン酸化膜(以下、酸化膜)からなるゲート酸化膜、4はゲート酸化膜3上に形成されたゲート電極、5はゲート電極4上に形成された保護酸化膜、6はソース/ドレイン領域、7は半導体基板1と素子分離領域2保護酸化膜5とソース/ドレイン領域6との上に設けられた薄膜酸化膜、8は薄膜酸化膜7の上に形成され、エッチングの進行を抑制するためのエッチングストッパー膜であり、シリコン窒化膜(以下、適宜、窒化膜と略称する)等からなる。

【0032】図2～図9は、この実施の形態における一連の製造工程を8つの図面で表したものであり、これらは連続した工程を示している。以下、図を参照しながら、この実施の形態のセルフアラインコンタクト形成方法を説明する。

【0033】先ず、図2に示すように、半導体基板1上に素子分離領域2を形成し、その後、ゲート酸化膜3を形成するための酸化膜を堆積し、それに重ねてゲート電極4を形成するための多結晶シリコン層を堆積し、さらに重ねて保護酸化膜5を形成するための酸化膜を堆積する。そして、その上に図示しないレジストパターンを形成し、このレジストパターンをマスクとしてエッチングを行い、所定のパターンのゲート酸化膜3、ゲート電極4、保護酸化膜5を形成する。

【0034】次に、図3に示すように、ゲート電極4および図示しないレジストパターンをマスクとして、燐(P)などのイオン注入により、図4の例では、n型のソース/ドレイン領域6を形成する。このときの注入量としては、短チャネル効果抑制の効果が得られるように低濃度でよい。また、実際のCMOSではp型のソース/ドレイン領域も同様にレジストパターンで先に注入したところを覆うことで形成できる。

【0035】次に、図4に示すように、ウェーハの表面全体に絶縁するための薄膜酸化膜7を、この場合15nm堆積し、その上に、下の層をエッチングから保護するために窒化膜からなるエッチングストッパー膜8を、この場合50nm堆積し、さらにその上に層間酸化膜11を堆積する。薄膜酸化膜7は、窒化膜8が、直接半導体基板1やゲート電極4に接しないためにも重要である。すなわち、窒化膜と半導体基板の応力ストレスによる結晶欠陥の低減、およびゲートのホットキャリア耐性向上に有効である。

【0036】次に、図5を参照して、層間酸化膜11は、前工程で形成されテーパーの凹凸により表面は平坦でない。これをRIEなどによるエッチバックにより酸化膜をエッチングして平坦化を行い、層間酸化膜11を形成する。次に、図6に示すように、層間酸化膜11の上に、所定のコンタクトホールを形成するためのレジストパターン12を形成する。また、レジスト下層に有機系反射防止膜を堆積することもある。ここでは、下

層に反射防止膜を有しない場合について説明する。

【0037】次に、レジストパターン12をマスクとして、ICP、ECR等の高密度プラズマを用いて、希ガス(Ar, Heなどの不活性ガス)とC₄F₈ガスとの混合ガス系(希ガス/C₄F₈ガス系)で、窒化膜8に対して選択的に層間膜11のエッチングを行う。これにより、図6に示すように、窒化膜8の肩部にテーパーが形成される。

【0038】図7は、エッチングガスとしてAr/C₄F₈を用いたとき、窒化膜の肩部にテーパーがつき始める位置を示す図である。図7において、aは、窒化膜の側壁とレジストの開口壁との距離、bはテーパーの幅、あるいはテーパーのつき始める位置を示す。写真製版のアライメント精度が0.05μmであったとき、そのずれによるマージンを確保するため距離aをa≧0.05μmに設定する。

【0039】このとき、コンタクトホールのエッチングガスとして、C₄F₈ガスとArガスとの混合ガスを用い、C₄F₈とArとの流量比を12:150に設定すると、図6に示すように、ゲート電極4の側壁から300～400Åの位置において、ホール底のストッパー膜にテーパーをつける事が出来る。また、エッチング時のガス比を調整することによって、テーパーを形成する位運を調整することができる。

【0040】また、図8に示すように、アライメントずれが生じた場合でも、図7から読み取れるように、ホール底でのテーパー部が大幅に増加することがないため、ガス比を適切に選ぶことによりゲート電極とコンタクトホールのショートさせずに、エッチングすることが出来る。なお、上記の例では、ArガスにC₄F₈ガスを混合したガスを用いたが、一般に希ガス(不活性ガス)に、組成が異なる他のCF系のガスを用いた場合でも、同様にテーパーを形成することができ、その流量比を調整することでテーパー形成の位置を調整でき、同様な効果を得ることが出来る。

【0041】次に、上記の工程の後、図9に示すように、エッチングストッパー膜(SiN)8をエッチバックする。エッチングガスはCl₂とHBrを用いることにより、下地の酸化膜に対して高選択比で窒化膜(SiN膜)8の異方性エッチングが出来る。この層間酸化膜エッチング後のストッパー膜(SiN)のエッチバック工程では、対酸化膜選択比を20以上とする。このようにすれば、層間酸化膜エッチング時の窒化膜のテーパー形成による膜削れがあっても、ゲート電極とのショートを回避することができる。具体的な方法を説明すると、平行平板プラズマエッチャーを用いた場合、Cl₂とHBrのガス流量を100/30ccm、圧力100mTorr、上部電極のRF電力を500W、下部電極を100Wとしてエッチングしたとき、酸化膜とSiNの選択比を20以上の高選択比で異方性エッチバックする事が出来る。その後、コンタクトホールを導電材料で埋め込むことにより、ホール底でボイドのない良好なコンタクトを形成することが出来る。

【0042】以上説明したように、この実施の形態によれば、コンタクトホール底にテーパ角を形成することができる。そして、これによりコンタクトホールへの導電材料の埋め込みがスムーズとなり、埋め込み不良を防ぐことができる。また、エッチング時のガス比を調整することによって、テーパを形成する位置を調整することができる。

【0043】実施の形態2. 図10～図13は、この発明の実施の形態2による半導体装置及びその製造方法を説明するための図である。図10は、DRAMなどに代表される半導体装置の製造過程における断面構造を示す図である。図10の構造は、図1の構造とほぼ同じであり、同一符号は、同一部分を示すので、重複した説明は省略する。ただし、この図10において、コンタクトホールを形成すべき溝部の間隔はa、レジストパターンの開口はa'の径を有している。

【0044】上記のような半導体装置の構造を形成するための一連の連続した工程を以下に説明する。まず、実施の形態2において説明した図2～図5と同じ工程を経る。これにより、図10に示すように、層間酸化膜11の上にレジストパターン12が形成された構造を得る。レジスト下層に反射防止膜を堆積する場合もあるが、ここでは省略する。レジストパターン12のコンタクト開口部として必要な領域は、図中aの領域のみであるが、セルフアライメントによりコンタクトホールを形成するため、これよりも大きなレジスト開口部a'を形成する。

【0045】次に、レジストパターン12をマスクとして、ICP、ECR等の高密度プラズマを用いて、希ガス(Ar, Heなどの不活性ガス)とC₄F₈ガスとの混合ガス系(希ガス/C₄F₈ガス系)にCH₂F₂ガスを添加したガス系

で、窒化膜8に対して選択的に層間膜11のエッチングを行う。具体的なエッチング条件の例は、次のとおりである。

Ar/C₄F₈/CH₂F₂=150/12/5～20sccm, 12Pa, ソースパワー1200W, バイアスパワー1600W

ゲート間抜き幅a=0.1μm, B'=250nmのとき、CH₂F₂=20sccm (B=200-250nm)

ゲート間抜き幅a=0.1μm, B'=550nmのとき、CH₂F₂=10sccm (B=400-250nm)

このエッチングにおいて、図11に示すように、CH₂F₂添加により、ホール側壁へのデポジション17(付着物)の付着が促進され、ゲート肩部のストッパー窒化膜8はエッチングから保護される。このとき対窒化膜選択比は20以上となる。

【0046】図11のBで示す、側壁デポジション17の付着し始める位置は、CH₂F₂添加量を多くすれば開口部に近く、少なければ深い位置となる。また、ホールの開口径aおよびa'が大きいくほどデポジションが付着し難くなるので、CH₂F₂添加量を多くする必要がある。すなわち、図11に示すゲート肩部窒化膜の露出する深さB'

およびゲート間隔aによって表されるデバイス構造に応じて、CH₂F₂ガス添加量をコントロールすればよい。これにより、デポジションの付着する位置を調整できる。

【0047】一方、ゲート間の狭スリット部(溝部)では側壁デポジション17の効果で、ラジカルの入射が制限され、イオンのみホール底に到達するため、酸化膜と窒化膜のエッチレート差がなくなり(対窒化膜選択比1程度)、ホール底のストッパー膜がエッチングされる。なお、図12に示すように、この側壁デポジション17は、レジストアッシング時に除去される。

【0048】以上説明したように、この実施の形態によれば、希ガス/C₄F₈ガス系にCH₂F₂ガスを添加したガス系でプラズマエッチングを行うようにしたので、ホール側壁へのデポジションの付着効果により、ゲート肩部のストッパー膜を保護し、ゲートに対するショートマージンを確保すると同時に、ホール底の窒化膜を除去し、コンタクトをとることが出来る。

【0049】また、この実施の形態によれば、層間酸化膜11のホール開口と、ホール底部のストッパー窒化膜8の除去を同時に行うことができる。さらにアッシング工程も同一チャンバ内で連続して行えば、製造工程が簡略化できるとともに、ゲート電極4が短絡することなく微細なコンタクトホールの形成が可能となり、集積度の向上、製造歩留まりおよび信頼性の向上をはかることができる。

【0050】図13は、この実施の形態におけるコンタクトホール形成方法の別の例を示す断面図である。図13において、平行平板型のプラズマエッチング装置によりコンタクトホール内のシリコン窒化膜8および薄膜酸化膜7を除去しコンタクトホールを開口させる。ここでICP型のプラズマエッチング装置を用いたコンタクトホールのエッチングを、エッチングガスとしてC₄F₈/Ar=12/150sccmにCH₂F₂を微量(10～20sccm)添加したものを、圧力0.8～1.3Paで行うと、狭スリットの上部付近にデポジション膜17が形成され、シリコン窒化膜8のエッチングがストップする。

【0051】一方、狭スリットの上部付近のデポジション膜17のために、狭スリット底部にはデポジション効果をもたらすラジカルの入射が制限される。そのため狭スリット底部ではシリコン窒化膜8のエッチングが進行し、シリコン窒化膜8は薄くなる。

【0052】この現象は狭スリットの幅yが≤0.15μmのとき顕著になり、狭スリット上部などの広い部分(ホール径が≥0.3μm)では酸化膜のエッチングレートは約700nm/min、窒化膜のエッチングレートは<100nm/minに対して、狭スリット底部では酸化膜のエッチングレートは約500nm/min、窒化膜のエッチングレートは約500nm/minとなる。

【0053】このようにICP型のプラズマエッチング装置を用いたコンタクトホールのエッチングを上記条件で

行うことにより、次の平行平板型のエッチング装置においてシリコン窒化膜8および薄膜酸化膜7をエッチングする工程において、RIE-lagのために狭スリット底部のシリコン窒化膜8のエッチングレートが低下しても過剰なオーバーエッチングを施さなくてもコンタクトホール15の開口が可能となる。

【0054】上記のようにこの実施の形態では、コンタクトホール15の写真製版時にアライメントが大きすぎて片側のゲート電極4の上に掛かり、ゲート電極間に狭スリット部が形成される場合に、コンタクトホール15がゲート電極4とショートすることなく安定して開口することが可能となる。

【0055】以上説明したように、この実施の形態によれば、添加ガス効果により、ホール側壁へのデポジションの付着効果が生じ、ゲート肩部のストッパー膜を保護し、ゲートに対するショートマージンを確保すると同時に、ホール底の窒化膜を除去し、コンタクトをとることが出来る。また、このように、層間膜とホール底のストッパー膜を同時にエッチングすることができるので、工程数、コストを削減し、歩留まりを向上させることができる。

【0056】実施の形態3. 図14は、この発明の実施の形態3による半導体装置及びその製造方法を説明するための断面図である。図14に示すように、この実施の形態では、実施の形態2で説明したセルフアライン開口によって、コンタクトホール15を開く際、ゲート電極4上に落ちるコンタクトホール18を同時に開口する。

【0057】前記の層間酸化膜11のエッチング中に、ホール底の対窒化膜選択比が低下すること、及び電極材料（ポリシリコン、シリサイド）に対してはエッチング選択性があることを利用して、ゲート電極4上に落ちるコンタクトホール18を開くことができる。

【0058】なお、ここで、ゲート電極4は、他の導電体であってもよい。また、ゲート電極4上の窒化膜8は、実施の形態で説明した図10の構造を形成する際に堆積したエッチングストッパー膜に限定されるものではない。

【0059】以上説明したように、この実施の形態によれば、セルフアライン開口とゲート電極4などへのコンタクトホール15を同時に開口できる。これにより大幅な工程数、コストの削減が可能となる。

【0060】実施の形態4. 図15～図17は、この発明の実施の形態4による半導体装置及びその製造方法を説明するための図である。図15は、DRAMなどに代表される半導体装置の製造過程における断面構造を示す図、図16は、その平面構造を示す図であり、その破線での断面が図15になる。また、図17は、エッチング状態を説明するための断面図である。

【0061】次に、製造方法について説明する。まず、

図15に示す層間絶縁膜11の成膜までは、実施の形態1の図2～図6と同様の工程を行う。次に、図15の状態では、レジスト12の開口から、コンタクトホール（例えば、ビットラインコンタクトホール）15のパターニングを行う際に、コンタクトホール15を2つのゲート4（または、ゲート線あるいはワード線）の間隔を跨ぐように、ビット線20の配線方向に長く設計する。つまり、ホールの中にゲート電極の水平部分の一部が含まれるようにする。

【0062】この基準によって設計されたコンタクトホール15を開孔すると、エッチングは窒化膜8の水平部分19に到達する。一般に窒化膜8の肩部にはデポジションが着きにくいのにに対して、窒化膜の水平部分19にはデポジション成分が付着しやすく、図17に示すように、窒化膜8の直上にはデポジション膜17が形成される。この状態でエッチングが進行すると、窒化膜8の肩部をエッチングする時点では、窒化膜8の肩部にもデポジション成分が付着しやすくなり、窒化膜8のスパッタエッチを防止し、配線の信頼性を高める事が可能になる。

【0063】このような実施の形態において、シリコン窒化膜8の段差部に向かうレジストパターンの開口は、シリコン窒化膜8の上面部に一定量以上の長さで懸かるようにする。図15～図16に示すように、2本のゲート電極4の間にコンタクトホールを形成する場合には、ゲート電極4の間隔の0.1倍以上の長さ以上で、コンタクトホールがシリコン窒化膜の水平部に懸かるようにするのがよい。したがって、コンタクトホールを四角形に形成する場合、2本のゲート電極4を跨ぐ方向には、その間隔の1.2倍以上の長さにする。コンタクトホールの短辺を2本のゲート電極4の間隔に等しくとる場合には、短辺と長辺の比は、1.2倍以上となる。

【0064】以上説明したように、この実施の形態によれば、コンタクトホール15の径が窒化膜の水平部分に乗るような大きさでエッチングするので、シリコン窒化膜のスパッタエッチを防ぎ、配線のショートを防ぐことができる。

【0065】実施の形態5. 図18～図19は、この発明の実施の形態5による半導体装置及びその製造方法を説明するための図である。図18、図19とも、DRAMなどに代表される半導体装置の製造過程における断面構造を示す図である。

【0066】図を参照しながら、この実施の形態のセルフアラインコンタクト形成方法を説明する。まず、実施の形態1で説明した図2～図6の工程を経て、図18のようなセルフアラインコンタクトホール構造を形成する。このとき、図18に示すように、ゲート4間の抜き寸法（図示Bの寸法）が、 $0.2\mu\text{m}$ 以下で、ゲート電極4間の幅と窒化膜の溝の高さ（図示Aの寸法）あるいは膜厚を制御することによりアスペクト比 A/B を2.

10

20

30

40

50

5以上とする。また、アスペクト比を2.5以上とするために、保護酸化膜5の高さを厚めに堆積することも可能である。

【0067】次に、異方性条件で層間酸化膜11をドライエッチングする。このとき、エッチングがホール底部まで進行した時点において、アスペクト比A/Bが高いためホール底部にはラジカルの入射が制限され、イオンのみが到達する。このため酸化膜と窒化膜の選択比が下がり、図19に示すように、コンタクトホール開口時に、そのまま半導体基板1まで開口する事ができる。

【0068】以上説明したようにこの実施の形態によれば、従来の様にコンタクトホール開口後に、ストッパー膜である窒化膜を除去することなしに、コンタクトホールを基板まで開口する事が可能である。このように、層間膜とホール底のストッパー膜を同時に除去するため、工程数、コストを削減することができる。

【0069】実施の形態6. 図20は、この発明の実施の形態6による半導体装置及びその製造方法を説明するための図である。この図20は、DRAMなどに代表される半導体装置の製造過程における断面構造を示す図である。この実施の形態においては、図20において、エッチングストッパー膜8として、通常用いられるSi窒化膜を用いず、SiO_xN_y膜を採用する。SiO_xN_y膜は、プラズマCVD装置により成膜する。

【0070】このSiO_xN_y膜は、シリコン窒化膜に比べ、Siに近い膜質である。さらに熱処理を施すことにより、よりSiに近い膜質へと変質させる。熱処理は温度800℃以上、時間20分以上のファーンネス・アニールを行う。Siは酸化膜のエッチングガスではエッチングされにくい。このようにストッパー膜がSiの膜質に近くなれば酸化膜をエッチングにおいてSiに対し十分に選択比を確保できる。

【0071】エッチングはECR、ICP等の高密度プラズマエッチング装置で、C₄F₈/CH₂F₂/Ar/O₂混合ガスを用いて行う。C₄F₈ガスやCH₂F₂ガスからのデポジションにより、酸化膜下のSiO_xN_y膜はエッチングから保護される。さらにSiの膜質に近くなっている為、このガス系ではエッチングが進みにくい。このようにストッパー膜にSiO_xN_y膜を採用し、さらに熱処理を施すことにより、酸化膜とストッパー膜との間に十分な選択比を確保することができる。

【0072】以上説明したように、この実施の形態によれば、ストッパー膜として、従来より選択比の高い膜を用いることができる。これにより、SACなどにおけるコンタクト開口をショートなく行うことができる。

【0073】実施の形態7. 図21～図27は、この発明の実施の形態7による半導体装置及びその製造方法を説明するための図である。この実施の形態は、上記の各実施の形態を異なる方法で、実施の形態1で説明した図1の構造を得ようとするものである。

【0074】図面を参照しながら、この実施の形態のセルフアラインコンタクト形成方法を説明する。先ず、実施の形態1において説明した図2～図5と同じ工程を経る。次に、図21に示すように、層間酸化膜11の上に、所定のコンタクトホールを形成するためのレジストパターン12を形成する。セルフアライメントによりコンタクトホールを形成するために、コンタクト開口部よりも大きな寸法dのレジストパターンでよい。また、この図21は下のゲート電極4などのパターンと重ね合わせがxずれたときのものである。また、レジスト下層に有機系反射防止膜を堆積することもある。ここでは、下層に反射防止膜を有しない場合について説明する。

【0075】次に、図22に示すように、レジストパターン12をマスクとして、ドライエッチングにより、窒化膜に対する酸化膜のエッチングの割合(選択比)が大きな(>25)条件で、層間酸化膜11のエッチングを窒化膜8が露出するまで行う。ここでのエッチング条件としての一例を示す。

ガス：C₃F₆=16 sccm、Ar=150sccm、CH₂F₂=10sccm

圧力：1Pa、ソースパワー：1200W、バイアスパワー：1400W

ここでは、商業的に利用可能であるApplied Materials Inc.製のCentura™ HDPDielectric Etch Systemを用いた。

【0076】このような条件でエッチングすれば、窒化膜に対する酸化膜のエッチングの割合(選択比)が25以上に確保できて、ゲート電極4を覆っているコンタクトホール開口部の窒化膜8の全てが削れてしまうことがない。この実施の形態では、特開平7-161702号公報で用いられているC₄F₈ガスなどを使用しないで、C₃F₆ガスを用いることが重要である。

【0077】図25に示したように、0.3μmホール径の1.0μmホール径に対するエッチング速度の低下率が、C₄F₈とC₃F₆ガスではC/F比が同じガスであるがその特性は異なる。C₃F₆ガスの方がエッチング速度の低下率が小さい。これは、半導体素子の歩留まりや必要となるオーバーエッチング量に影響を与える重要な特性である。

【0078】また、図26に示すように、フォトリソに対する選択比は、C₄F₈とC₃F₆ではあまり変わりがない。多少、Cの含まれる絶対量の違いによりC₃F₆ガスの方が低い。しかし、これは半導体素子製造の上では問題とならない。以上のことから、図27で示したように、傾斜部分での選択比を2.5以上確保してもエッチング速度低下率を10%に保持できる。

【0079】次に、図23に示すように、レジストパターンをレジスト除去装置により除去する。さらに、特公平6-12765号公報で示されるCH₂F₂等のガスを用いて、窒化膜に対する酸化膜のエッチングの割合(選択比)が小さくなる(～0.2)ようなドライエッチング条件でコンタクト開口部が露出するまで、窒化膜8、薄膜酸化膜7

のエッチングを行う。次に、図24に示すように、ビット線電極20を形成する。

【0080】以上のように、この実施の形態によれば、添加ガス効果により、層間膜とストッパー膜との選択比を向上させることができる。これにより、セルフアライメント法を用いる場合において、電気特性を犠牲にすることなく、寸法安定性に優れた微細なコンタクトホール形成が可能となり、集積度が向上すると共にゲート電極が短絡することなく半導体素子の製造歩留まりおよび信頼性が向上する。

【0081】実施の形態8. 上記の実施の形態7と同様に、図21～図27は、この発明の実施の形態8による半導体装置及びその製造方法を説明するための図である。この実施の形態は、上記の各実施の形態と異なる方法で、実施の形態1で説明した図1の構造を得ようとするものである。

【0082】図面を参照して、この実施の形態のセルフアラインコンタクト形成方法を説明する。まず、実施の形態1において説明した図2～図5と同じ工程を経る。次に、実施の形態7で説明した図21の工程を経る。

【0083】次に、図22に示すように、レジストパターン12をマスクとして、ドライエッチングにより、窒化膜に対する酸化膜のエッチングの割合（選択比）が大きな(>25)条件で、層間酸化膜11のエッチングを窒化膜8が露出するまで行う。ここでのエッチング条件としての一例を示す。

ガス：CF₃COFHCF₃=1.8 sccm, Ar=150 sccm, CH₂F₂=1.0 sccm

圧力：1 Pa、ソースパワー：1200W、バイアスパワー：1400W

【0084】ここで、CF₃COFHCF₃ ガスにおいては、酸素原子が含まれていることによりホール内への過剰なデポジションを抑制する働きが生じるために、C₄F₈ ガスに比べて0.3μm ホール径の1.0μm ホール径に対するエッチング速度の低下率が小さい。これは、半導体素子の歩留まりや必要となるオーバーエッチング量に影響を与える重要な特性である。したがって、エッチング速度低下率を低下させずに傾斜部分での対窒化膜選択比を高くすることができて、ゲート電極を取り囲む絶縁膜が薄くならずコンタクトホールを形成することができる。

【0085】以上のように、この実施の形態によれば、これにより、Arガスなどの希ガスにCF₃COFHCF₃ガスを混合してプラズマエッチングすることにより、層間膜とストッパー膜との選択比を向上させることができる。これにより、シリコン酸化膜に対してセルフアライメント法を用いてホールを開口する場合、電気特性を犠牲にすることなく、寸法安定性に優れた微細なコンタクトホール形成が可能となり、集積度が向上すると共にゲート電極が短絡することなく半導体素子の製造歩留まりおよび信頼性が向上する。

【0086】実施の形態9. 図28～図32は、この発明の実施の形態9による半導体装置及びその製造方法を説明するための図である。図28は、DRAMなどに代表される半導体装置の製造過程における断面構造を示す図である。図28の構造は、図1の構造とほぼ同じであり、同一符号は、同一部分を示すので、重複した説明は省略する。ただし、この図28においては、14は酸化膜11の上に形成された有機材料からなる反射防止膜、12は反射防止膜14の上に形成され、所望の位置にパターンニングされたフォトレジストである。

【0087】上記のような半導体装置の構造を形成するための一連の連続した工程を以下に説明する。まず、実施の形態1において説明した図2～図5と同じ工程を経る。図5に示す工程に続いて、図29に示すように、層間酸化膜11の上に、有機系反射防止膜14を堆積する。さらに、この上に所定のコンタクトホールを形成するためのレジストパターン12を形成する。セルフアライメントによりコンタクトホールを形成するために、コンタクト開口部よりも大きな寸法dのレジストパターンでよい。また、この図29はゲート電極4など下のパターンと重ね合わせがずれたときのものである。

【0088】次に、図30に示すように、有機材料反射防止膜14と層間酸化膜11を連続して同一処理槽内でドライエッチングにより除去する。同一装置内で処理することにより、工程が簡略化できて、コストが削減できるなどの利点がある。ストッパー膜8は、膜の材質が異なるため、それぞれに適した条件でエッチングする。すなわち、反射防止膜14および層間酸化膜11をエッチングするステップに分けられる。

【0089】有機材料反射防止膜14のエッチングステップは、有機材料をエッチングするために、特開平9-120963号公報や特開平8-153704号公報で用いられているO₂ガスを含むガスを用いて、通常は有機材料反射防止膜14のエッチング速度が速くなるような条件を設定する。このとき、有機材料反射防止膜14のエッチング速度が150nm/min 以上となる条件、または有機反射防止膜とレジストとの選択比が1より大、(有機反射防止膜/レジスト)>1、となるようにすると、図31に示すように、処理槽（リアクタ）内壁に付着したデポジション膜が剥がれて半導体基板に付着して歩留まりを低下させる。

【0090】その一例を図33に示す。この図33は、有機反射防止膜のエッチング速度と半導体基板への異物付着数の関係を表している。エッチング速度を低くすることでリアクタ内壁のデポジション膜剥がれを抑制できて、異物付着することなく処理することができるが示されている。

【0091】したがって、有機材料反射防止膜14のエッチング速度が150nm/min未満となる条件、望ましくは50nm/minから150nm/min未満の範囲で、または、有機材料

反射防止膜とレジストとのエッチング速度選択比が1より小、(有機材料反射防止膜のエッチング速度/レジストのエッチング速度) <1 、望ましくは0.3から1未満の範囲、となる条件にすることで、リアクタ内壁に付着したデポジション膜の剥がれを防止できる。この実施の形態では、これを実現するために、酸素ガスにデポジション系のガス CF_4 または C_4F_8 ガスを加えることによりエッチング速度を低くしている。ICP型エッチング装置を用いる場合、 CF_4 または C_4F_8 の添加量の例としては、 $CF_4=5\sim40\text{sccm}$ 、 $C_4F_8=5\sim10\text{sccm}$ とする。

【0092】この現象は、セルフアラインコンタクトホール形成において顕著な現象である。なぜなら、層間酸化膜のエッチングは、対 Si_3N_4 選択比が高い条件であるため、特開平7-161702号公報や特開平9-50986号公報でも示されているように、デポジション性の大きい条件を用いるので、図32に示すように、リアクタ内壁にはデポジション膜が堆積しやすい状況となっているからである。次に、レジストパターン12をレジスト除去装置により除去する。このとき、有機反射防止膜14も同時に除去できる。この後の工程は前記実施の形態と同一なので説明を省略する。

【0093】以上のように、この実施の形態によれば、有機反射防止膜のエッチング時のエッチングレートを低くして、処理層内壁のデポジション膜を剥離しないようにする。具体的には、有機材料反射防止膜のエッチング速度が 150nm/min 未満となる条件、または、有機材料反射防止膜とレジストとのエッチング速度選択比が1より小となる条件にすることで、セルフアライメント法を用いる場合において、電気特性を犠牲にすることなく、寸法安定性に優れた微細なコンタクトホール形成が可能となり、また、半導体基板への異物による欠陥を低減でき、集積度が向上すると共にゲート電極が短絡することなく半導体素子の製造歩留まりおよび信頼性が向上する。

【0094】実施の形態10、図4～図5及び図28を参照して、この発明の実施の形態10のによる半導体装置及びその製造方法を説明する。図4に示すように、半導体デバイス形成にセルフアラインコンタクトを用いる場合、ゲート配線形成後にシリコン窒化膜8を堆積する。このシリコン窒化膜8の膜厚については、後工程であるコンタクトホールエッチング時の窒化膜選択比により設定され、 $100\sim500\text{\AA}$ 程度を用いる。その上に層間酸化膜11を堆積させる。その後、図5に示すように、酸化膜11を平坦化する。

【0095】次に、図28に示すように、高精度微細ホール加工を行うため、レジスト11のパターニングの際、有機膜の反射防止膜14を用いる。それにより、半導体基板1へのコンタクトホール開口の際、その有機膜の反射防止膜14を加工した上、シリコン窒化膜11に対して選択的に酸化膜11のエッチングを行わなければ

ならない。

【0096】この時のエッチング方法として、微細加工が可能なICP、ECRなどの高密度プラズマを用い、有機膜を酸素を含んだ混合ガスを用いてエッチングした上、次に C_4F_8 などCF比の小さいガスをを用いた系により酸化膜のエッチングを行うエッチングステップの切り替えを要する。

【0097】このように、デポジションの弱い、選択比の低いステップ(有機膜エッチングステップ)とデポジションの強い選択比の高いステップ(酸化膜エッチングステップ)でエッチング条件を設定する場合、上記のような高密度プラズマを形成する装置では枚葉処理の為、ウェーハ処理2枚目以降では、サイクルとしてデポジションの強いステップ後、デポジションの弱いステップで処理されることとなり、処理槽(チャンバー)のウォールにデポジション付着をした後にデポジションを剥離させる状況を招くこととなり、チャンバー内で発塵を引き起こす結果となる。

【0098】よって、発塵低減対策として、1枚処理毎に、エッチング後、クリーニングを行うようにする。クリーニング条件としては、酸素リッチなガスプロセスを用い、クリーニング時間はチャンバー内異物数が安定するレベルに設定し、又、ゲート肩部の窒化膜の膜減りを考慮してバイアスの電力値を設定する。また、クリーニングにより、マスクであるレジスト及び有機膜を除去することにもなり、工程数の削減にもつながる。

【0099】以上のように、この実施の形態によれば、処理槽内の発塵を抑制・防止して、デバイスへの異物を低減することができる。これによれり、発塵によるパターン欠陥の発生を防止し、スループットおよび電気特性を向上させることができる。

【0100】

【発明の効果】この発明は以上のように構成されているので、以下のような効果を有する。この発明によれば、セルフアライメント法によりコンタクトホールを形成する場合に、ゲート電極など導電部を保護するエッチングストッパー膜のエッチングが進行することを阻止し、電気特性を劣化させることのない構造で、半導体デバイスの歩留まりおよび信頼性を向上することができる。

【0101】さらに具体的には、以下のような効果を有する。この発明の請求項1～3に記載の半導体装置の製造方法によれば、希ガスにCF系ガスを混合したプラズマエッチングにより、レジストマスクの開口からシリコン酸化膜をエッチングし、シリコン窒化膜の段差部の肩部にテーパー部を形成することができる。これにより、コンタクトホール底にテーパー角を形成し、埋め込み不良を防ぐことができる。

【0102】また、請求項4～5に記載の半導体装置の製造方法によれば、希ガスと C_4F_8 ガスとの混合ガスに CH_2F_2 ガスを添加したプラズマエッチングにより、レジス

トマスクの開口からシリコン酸化膜とその下のシリコン窒化膜の段差部をエッチングし、添加ガスの効果により、シリコン酸化膜（層間絶縁膜）とホール底のシリコン窒化膜（エッチングストッパー膜）を同時にエッチングすることができる。これにより、工程数、コストを削減し、歩留まりを向上させることができる。また、コンタクトホールの写真製版時にアラインメントがずれて片側だけホールが電極上に懸かる状態の場合に、ホール開口時にホール底のストッパー膜をエッチングし、次工程におけるホール底のストッパー膜の除去を容易にすることが

【0103】また、請求項6～7に記載の半導体装置の製造方法によれば、半導体基板へのコンタクトホール（SAC開口）と、ゲートなど導電体へのコンタクトホールを同時開口することができる。これにより、大幅な工程数とコストの削減が可能である。

【0104】また、請求項8に記載の半導体装置の製造方法によれば、レジストマスクの開口からシリコン酸化膜をエッチングし、さらにホール底部のシリコン窒化膜の段差部に続く水平部の必要な寸法をホールがカバーするようにエッチングする。これにより、シリコン窒化膜のスパッタエッチを防ぎ、配線のショートを防ぐことができる。

【0105】また、請求項9に記載の半導体装置の製造方法によれば、レジストマスクの開口からシリコン酸化膜をエッチングし、さらにホール底部のシリコン窒化膜の溝部にホールを形成するようにエッチングするに際し、シリコン窒化膜の溝部のアスペクト比 A/B を2.5以上とするので、シリコン酸化膜（層間絶縁膜）とホール底のシリコン窒化膜（ストッパー膜）を同時に除去することが

【0106】また、請求項10に記載の半導体装置の製造方法によれば、レジストマスクの開口からシリコン酸化膜をエッチングし、さらにホール底部のエッチングストッパー膜に沿ってホールを開くとき、エッチングストッパー膜として SiO_xNy 膜を使用するので、ストッパー膜として、極めて選択比の高い膜を用いることができ、エッチングストッパー膜の削れを防止することができる。

【0107】また、請求項11に記載の半導体装置の製造方法によれば、希ガスに C_3F_6 ガス又は $CF_3-O-CF_2CF_3$ ガスを混合したガスを用いてプラズマエッチングにより、レジストマスクの開口からシリコン酸化膜（層間絶縁膜）をエッチングするので、添加ガス効果により、シリコン酸化膜（層間絶縁膜）とストッパー膜（シリコン窒化膜）との選択比を向上させることができ、エッチングストッパー膜の削れを防止することができる。

【0108】また、請求項12～14に記載の半導体装置の製造方法によれば、レジストパターンの下層の有機

反射防止膜のエッチング時にそのエッチングレートを低くして、処理層内壁のデポジション膜を剥離しないようにする。これにより、半導体基板への異物による欠陥を低減でき、半導体素子の製造歩留まりおよび信頼性を向上させることができる。

【0109】また、請求項15に記載の半導体装置の製造方法によれば、一の半導体基板に対する処理の終了後に、他の半導体基板を処理する前に、処理槽をクリーニング放電することにより、処理槽に付着した有機堆積物の除去を行う。これにより、発塵を抑制・防止して、発塵によるパターン欠陥の発生を防止し、半導体素子の製造歩留まりおよび信頼性を向上させることができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1による半導体装置の構造を示す断面図。

【図2】 この発明の実施の形態1による半導体装置の製造方法を示す断面図。

【図3】 この発明の実施の形態1による半導体装置の製造方法を示す断面図。

【図4】 この発明の実施の形態1による半導体装置の製造方法を示す断面図。

【図5】 この発明の実施の形態1による半導体装置の製造方法を示す断面図。

【図6】 この発明の実施の形態1による半導体装置の製造方法を示す断面図。

【図7】 この発明の実施の形態1による半導体装置の製造方法を説明するための図。

【図8】 この発明の実施の形態1による半導体装置の製造方法を示す断面図。

【図9】 この発明の実施の形態1による半導体装置の製造方法を示す断面図。

【図10】 この発明の実施の形態2による半導体装置の構造と製造方法を示す断面図。

【図11】 この発明の実施の形態2による半導体装置の構造と製造方法を示す断面図。

【図12】 この発明の実施の形態2による半導体装置の構造と製造方法を示す断面図。

【図13】 この発明の実施の形態2による半導体装置の他の構造と製造方法を示す断面図。

【図14】 この発明の実施の形態3による半導体装置の構造と製造方法を示す断面図。

【図15】 この発明の実施の形態4による半導体装置の構造と製造方法を示す断面図。

【図16】 この発明の実施の形態4による半導体装置の構造と製造方法を示す断面図。

【図17】 この発明の実施の形態4による半導体装置の構造と製造方法を示す断面図。

【図18】 この発明の実施の形態5による半導体装置の構造と製造方法を示す断面図。

【図19】 この発明の実施の形態5による半導体装置

の構造と製造方法を示す断面図。

【図 20】 この発明の実施の形態 6 による半導体装置の構造と製造方法を示す断面図。

【図 21】 この発明の実施の形態 7 による半導体装置の構造と製造方法を示す断面図。

【図 22】 この発明の実施の形態 7 による半導体装置の構造と製造方法を示す断面図。

【図 23】 この発明の実施の形態 7 による半導体装置の構造と製造方法を示す断面図。

【図 24】 この発明の実施の形態 7 による半導体装置の構造と製造方法を示す断面図。 10

【図 25】 この発明の実施の形態 7 による半導体装置の製造方法を説明するための図。

【図 26】 この発明の実施の形態 7 による半導体装置の製造方法を説明するための図。

【図 27】 この発明の実施の形態 7 による半導体装置の製造方法を説明するための図。

【図 28】 この発明の実施の形態 8 による半導体装置の構造と製造方法を示す断面図。

【図 29】 この発明の実施の形態 8 による半導体装置の構造と製造方法を示す断面図。 20

【図 30】 この発明の実施の形態 8 による半導体装置の構造と製造方法を示す断面図。

【図 31】 この発明の実施の形態 8 による半導体装置の製造方法を説明するための図。

【図 32】 この発明の実施の形態 8 による半導体装置の製造方法を説明するための図。

【図 33】 この発明の実施の形態 8 による半導体装置の製造方法を説明するための図。

【図 34】 従来の自己整合コンタクトホールを用いた半導体装置の構造を示す断面図。

【図 35】 従来の自己整合コンタクトホールを用いた半導体装置を説明するための断面図。

【図 36】 従来の自己整合コンタクトホールを用いた半導体装置を説明するための断面図。

【図 37】 従来の自己整合コンタクトホールを用いた半導体装置を説明するための断面図。

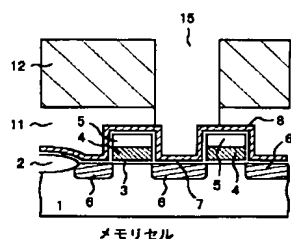
【図 38】 従来の自己整合コンタクトホールを用いた半導体装置を説明するための断面図。

【図 39】 従来の自己整合コンタクトホールを用いた半導体装置を説明するための断面図。

【符号の説明】

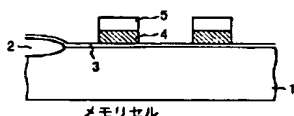
1 半導体基板、 2 素子分離領域、 3 ゲート酸化膜、 4 ゲート電極、 5 保護酸化膜、 6 n 型ソース/ドレイン領域、 7 薄膜酸化膜、 8 エッチングストッパー膜、 9 酸化膜サイドウォール、 10 n+型ソース/ドレイン領域、 11 層間酸化膜、 12 フォトリソ、 13 ビット線電極、 14 反射防止膜、 15 開口（コンタクトホール）、 16 シリコン窒化膜テーパー部、 17 デポジション、 18 開口（コンタクトホール）、 19 シリコン窒化膜水平部、 20 ビット線、 21 埋め込み配線、 22 ボイド。

【図 1】



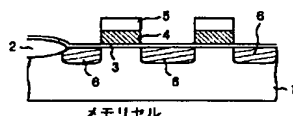
メモリセル

【図 2】



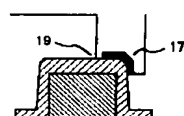
メモリセル

【図 3】

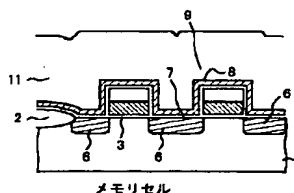


メモリセル

【図 17】

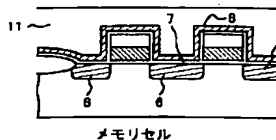


【図 4】



メモリセル

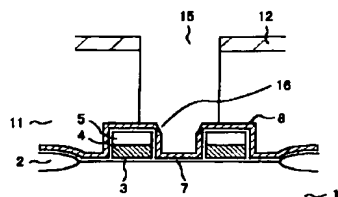
【図 5】



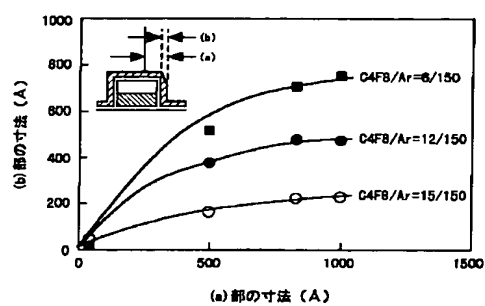
メモリセル

- 1 半導体基板
- 2 素子分離領域
- 3 ゲート酸化膜
- 4 ゲート電極
- 5 保護酸化膜
- 6 ソース/ドレイン領域
- 7 薄膜酸化膜
- 8 エッチングストッパー膜
- 11 層間酸化膜
- 12 フォトリソ
- 15 開口（コンタクトホール）

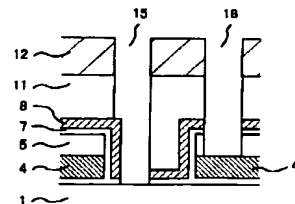
【図6】



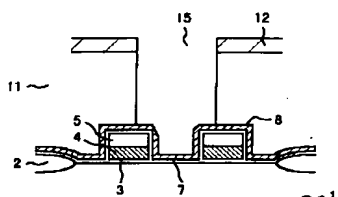
【図7】



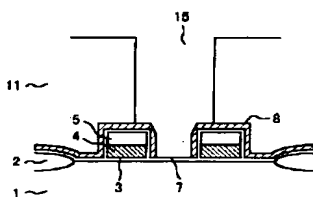
【図14】



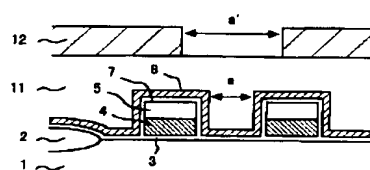
【図8】



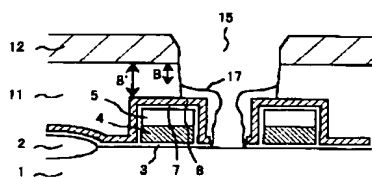
【図9】



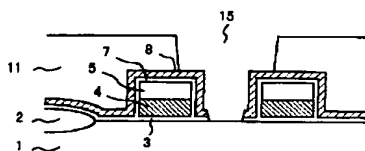
【図10】



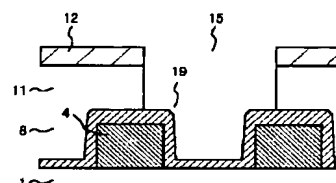
【図11】



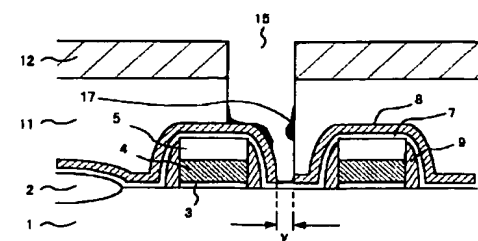
【図12】



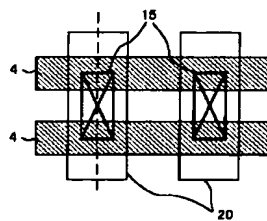
【図15】



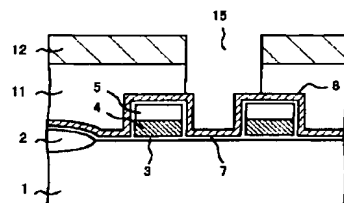
【図13】



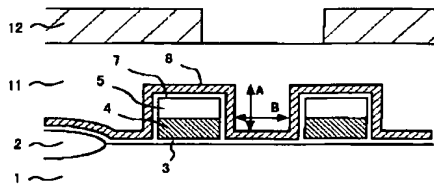
【図16】



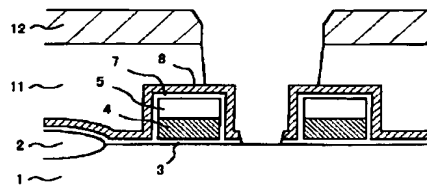
【図20】



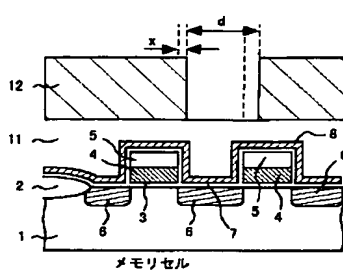
【図18】



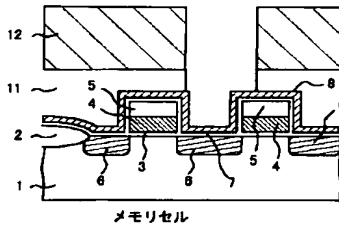
【図19】



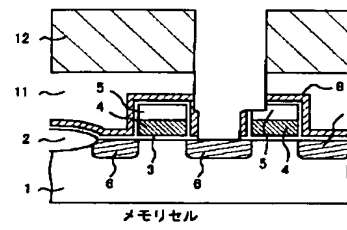
【図21】



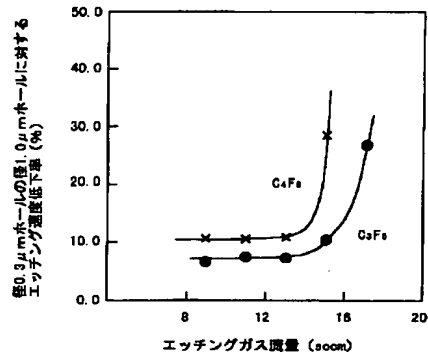
【図22】



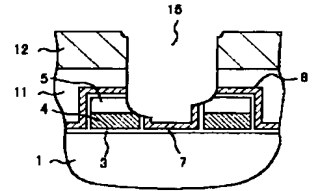
【図23】



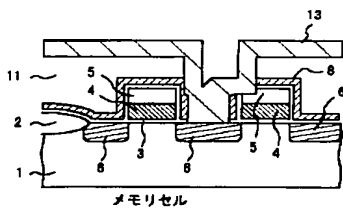
【図25】



【図35】



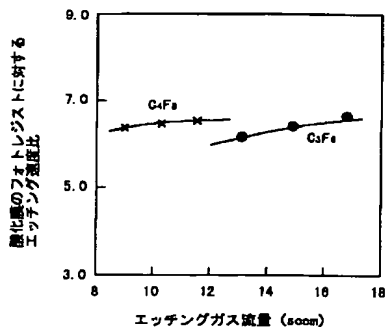
【図24】



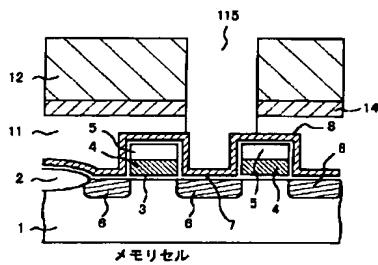
【図27】

	C3F8系	C4F8系
酸化物層中の 酸化物層の酸化膜に対するエッチング速度選択比	2.5以上	2.5以上
エッチング速度低下率 (%)	10%	20%

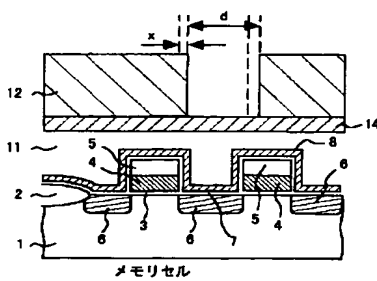
【図26】



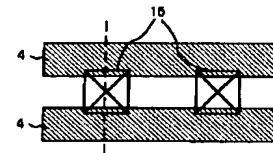
【図 28】



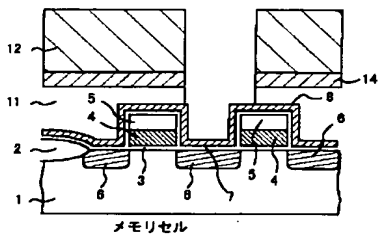
【図 29】



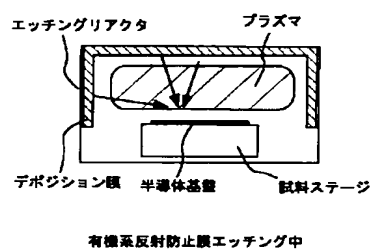
【図 38】



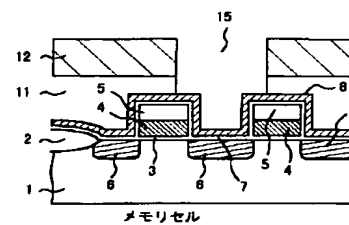
【図 30】



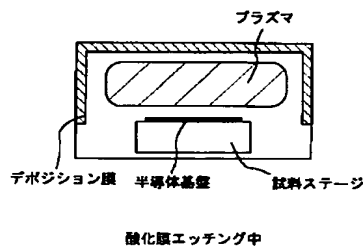
【図 31】



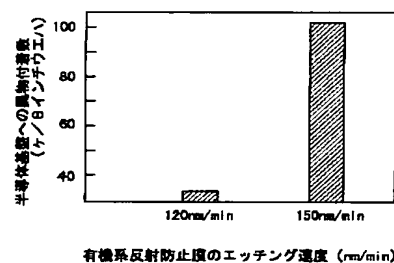
【図 34】



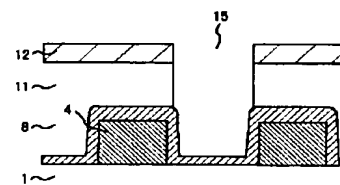
【図 32】



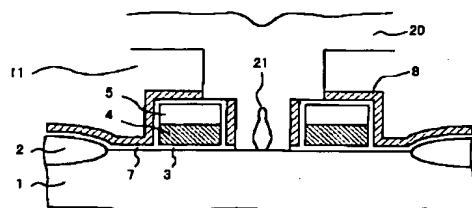
【図 33】



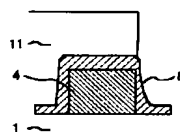
【図 37】



【図 36】



【図 39】



フロントページの続き

(72)発明者 楠見 嘉宏
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内
(72)発明者 深尾 哲宏
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72)発明者 大見 和幸
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内
(72)発明者 田原 賢治
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内
(72)発明者 山中 信明
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内